

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Patent Number: JP10056147

Publication date: 1998-02-24

Inventor(s): NARA YASUO

Applicant(s):: FUJITSU LTD

Requested Patent: ☐ JP10056147

Application Number: JP19960209991 19960808

Priority Number(s):

IPC Classification: H01L27/108 ; H01L21/8242 ; H01L21/265 ; H01L29/78

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a DRAM memory cell of good electric charge holding characteristics by, with MOSFET, introducing a channel area for controlling a threshold voltage of MOSFET and conductive impurities of the same into a channel area and either a source or a drain by oblique ion implantation.

SOLUTION: A field oxide film 2 is formed in an element separation area on a silicon substrate 1, and through a gate oxide film 3, a gate 4 is formed on a substrate of an element formation area. Then, an implantation resist mask 5 which opens only a bit line contact part for ion implantation for controlling a threshold value is formed, and a channel ion is introduced in a channel ion implanted area 6 by oblique implantation, then ion injection is performed with an LDD forming implanted area 7. Lastly, on both sides of a gate electrode, a side wall 8 of a silicon oxide film is formed. By oblique ion implantation, impurity concentration of pn bonding on a storage node contact side is lowered, for good electric charge holding characteristics.

Data supplied from the esp@cenet database - I2

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56147

(43) 公開日 平成10年(1998) 2月24日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 7 1 Z
21/8242			21/265	V
21/285				F
29/78			29/78	3 0 1 H

審査請求 未請求 請求項の数 5 O L (全 4 頁)

(21) 出願番号 特願平8-209991
 (22) 出願日 平成8年(1996) 8月8日

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (72) 発明者 奈良 安雄
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内
 (74) 代理人 弁理士 井桁 貞一

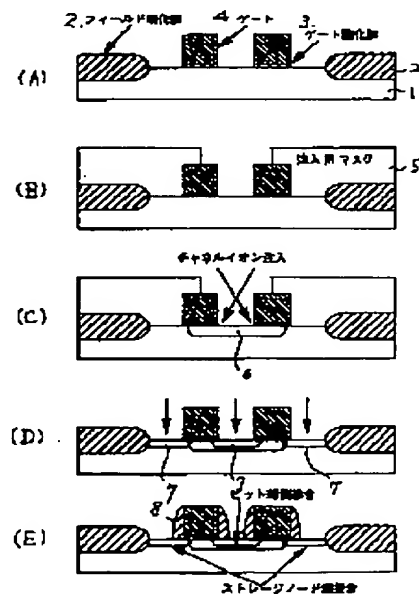
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 電荷保持特性の良好なDRAMメモリセルを得る。

【解決手段】 1) MOS FET を有し、該MOS FET のしきい値電圧制御用のチャネル領域と同導電型不純物が該チャネル領域及びソースまたはドレインのどちらか一方に導入されてなる半導体装置、2) 基板上にゲート電極を形成し、ソースまたはドレインのどちらか一方のみを開口するマスクを該基板上に形成し、該開口よりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含む、3) 斜め方向からイオン注入を複数の方向または連続して異なる方向から行う、4) 前記1記載の半導体装置がDRAMである、5) DRAMの製造工程において、基板上にゲート電極を形成し、その上に被着された絶縁膜にビット線のコンタクトホールを形成し、次いで該コンタクトホールよりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含む。

本発明の実施の形態の説明図



【特許請求の範囲】

【請求項1】 MOS FET を有し、該MOS FET のしきい値電圧制御用のチャネル領域と同導電型不純物が該チャネル領域及びソースまたはドレインのどちらか一方に導入されてなることを特徴とする半導体装置。

【請求項2】 MOS FET の製造工程において、基板上にゲート電極を形成し、次いでソースまたはドレインのどちらか一方のみを開口するマスクを該基板上に形成し、次いで該開口よりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記の斜め方向からイオン注入を複数の方向または連続して異なる方向から行うことを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置がダイナミックランダムアクセスメモリ (DRAM) であることを特徴とする半導体装置。

【請求項5】 DRAMの製造工程において、基板上にゲート電極を形成し、その上に被着された絶縁膜にビット線のコンタクトホールを形成し、次いで該コンタクトホールよりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特にダイナミックランダムアクセスメモリ (DRAM)セルのしきい値調整用のイオン注入方法に関する。

【0002】

【従来の技術】DRAMにおいては、蓄積容量に蓄えられた電荷を情報として記憶するため、電荷の保持特性が重要となる。電荷はいくつかの経路で逃げていくが、その主なものは、ストレージノード (蓄積電極) 側のpn接合のリーク電流、トランジスタのサブスレショルドリーク、蓄積容量のリーク電流である。

【0003】通常のMOS FET は、pn接合はソース側とドレイン側に二つ存在する。DRAMではそれぞれがビット線コンタクト側及びストレージノードコンタクト側に相当する。電荷はストレージノード側に接続された蓄積容量に蓄えられているので、電荷の保持特性を左右するのはストレージノード側のpn接合のリーク電流である。

【0004】従来のnチャネルMOS FET のpn接合のリーク電流は、しきい値電圧制御用のp型不純物と、ソース、ドレインあるいはLDD (低濃度ドレイン) 形成用のイオン注入で導入したn型不純物とで形成される接合がどの程度の不純物濃度で形成されているかによって決定されていた。

【0005】

【発明が解決しようとする課題】従来の工程では、ゲー

ト電極形成前にしきい値電圧制御用のイオン注入を行うので、ビット線コンタクト側もストレージノードコンタクト側もしきい値電圧制御用のイオン注入が行われていたが、これは本来必要がなく、チャネル領域にだけでよい。

【0006】また、素子の寸法を微細化するためには、しきい値電圧制御用のイオン注入の濃度を上げていく必要があるが、これによりpn接合位置における不純物濃度が高くなり、ますますリーク電流が増加するという問題が生じる。

【0007】本発明は、電荷保持特性の良好なDRAMメモリセルを得ることを目的とする。

【0008】

【課題を解決するための手段】上記課題の解決は、

1) MOS FET を有し、該MOS FET のしきい値電圧制御用のチャネル領域と同導電型不純物が該チャネル領域及びソースまたはドレインのどちらか一方に導入されてなる半導体装置、あるいは

2) MOS FET の製造工程において、基板上にゲート電極を形成し、次いでソースまたはドレインのどちらか一方のみを開口するマスクを該基板上に形成し、次いで該開口よりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含む半導体装置の製造方法、あるいは

3) 前記の斜め方向からイオン注入を複数の方向または連続して異なる方向から行う前記2記載の半導体装置の製造方法、あるいは

4) 前記1記載の半導体装置がダイナミックランダムアクセスメモリ (DRAM) である半導体装置、あるいは

5) DRAMの製造工程において、基板上にゲート電極を形成し、その上に被着された絶縁膜にビット線のコンタクトホールを形成し、次いで該コンタクトホールよりチャネル領域と同導電型不純物を斜め方向から該基板にイオン注入する工程を含む半導体装置の製造方法により達成される。

【0009】本発明では、DRAMのメモリセルトランジスタの製造工程において、ゲート電極形成後にビット線コンタクト部分のみが開口している注入マスクを形成し、トランジスタのしきい値制御用のイオン注入を斜め方向から行うようにしている。

【0010】この方法によれば、ストレージノードコンタクト側にはしきい値制御用のイオンが導入されないので、ストレージノードコンタクト側のpn接合のリーク電流を減少させることができ、電荷保持特性の良好なDRAMメモリセルを作製できる。

【0011】

【発明の実施の形態】本発明によるDRAMメモリセルトランジスタをその製造工程とともに図1を用いて説明する。

【0012】図1(A)～(E)は本発明の実施の形態の説

明図である。図1(A)において、従来工程により、シリコン(Si)基板 1上の素子分離領域にフィールド酸化膜 2を形成し、素子形成領域の基板上にゲート酸化膜 3を介してゲート 4を形成する。この際、従来行っていたゲート形成前のしきい値制御用のイオン注入は行わない。

【0013】図1(B)において、チャネルイオン注入(しきい値制御用のイオン注入)用のビット線コンタクト部分のみを開口する注入レジストマスク 5を形成する。例えば、リソグラフィ工程により膜厚 300nmのレジスト膜を用いて形成する。

【0014】図1(C)において、チャネルイオンを斜め注入によりチャネルイオン注入領域6に導入する。注入条件は、例えば、硼素イオン(B⁺)をエネルギー 20 KeV、ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ で、垂直方向より30°の角度で注入する。

【0015】図1(D)において、LDD形成用注入領域7のイオン注入を行う。注入条件は、例えば、砒素イオン(As⁺)をエネルギー 10 KeV、ドーズ量 $1 \times 10^{14} \text{cm}^{-2}$ で、垂直方向より注入する。

【0016】図1(E)において、ゲート電極の両側にシリコン酸化膜からなるサイドウォール 8を形成する。この後の工程は通常の工程により、メモリセルトランジスタ作製の工程を完成させる。

【0017】上記の工程の内、本発明で重要な点は図1(B)及び(C)においてビット線コンタクト部分のみを開口するマスクを用いて斜め方向からしきい値電圧制御用のイオン注入を行うことである。

【0018】斜め方向の注入角度は、上記の工程では30°としたが、ゲート長、ゲートの膜厚、マスクの厚さにより調整する必要がある。また、注入方向は1種類の方向からだけではなく、同じ角度でいくつもの方向から注入を行ってもよく、また、基板を回転させながら連続的にイオン注入を行ってもよい。

【0019】このイオン注入を行った後のビット線コンタクト側及びストレージノードコンタクト側の硼素及び砒素の深さ方向の濃度プロファイルを図2(A)、(B)に示す。図2(A)、(B)は本発明の効果説明図である。

【0020】図2(A)はビット線側、図2(B)はストレージ濃度側の濃度プロファイルである。pn接合位置(硼素と砒素の濃度の等しい位置)の不純物濃度はビット線

側で約 $9 \times 10^{17} \text{cm}^{-3}$ 、ストレージノード側で約 $5 \times 10^{16} \text{cm}^{-3}$ であり、両者で不純物濃度が約20倍異なる。ストレージノード側の濃度はもともとの基板濃度であり、しきい値電圧制御用のイオンは全く注入されていない。

【0021】ストレージノード側の接合濃度が低下すると、空乏層が広がり且つキャリアの寿命が長くなるので接合のリーク電流が低減する。さらに、ストレージノード側にはしきい値電圧制御用のイオン注入を行わないため、イオン注入時に発生する欠陥も減少するので接合のリーク電流が一層低下する。

【0022】上記の実施の形態の工程では、ゲート電極形成後に例えばレジストマスクを形成したが、他の実施の形態として、DRAM製造工程におけるビット線コンタクトを形成した後に、しきい値電圧制御用の斜めイオン注入を行うことも可能である。このようにすれば、しきい値電圧制御用のイオン注入に新たなマスクが必要でないために製造工程の短縮が可能である。

【0023】本発明では、接合リーク電流の低減が最も重要な課題であるDRAMを例にとって説明したが、ロジックデバイスに適用しても接合容量を低下できるので消費電力の低減が可能である。

【0024】

【発明の効果】本発明によれば、ビット線コンタクト側からのしきい値電圧制御用の斜めイオン注入を行うことにより、ストレージノードコンタクト側のpn接合の不純物濃度を低下できるため、電荷保持特性の良質なDRAMメモリセルを得ることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態の説明図

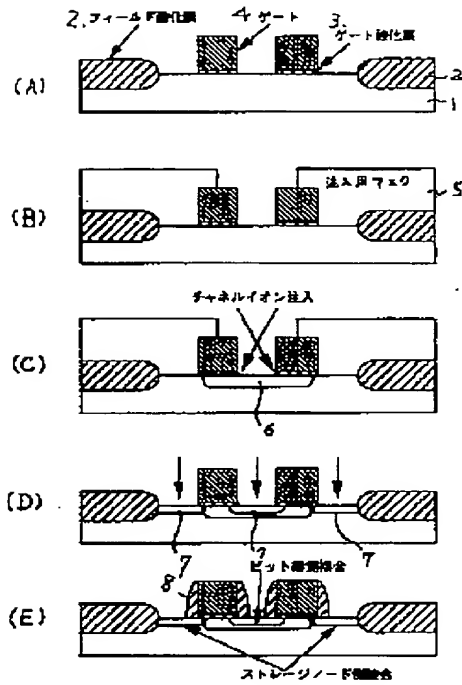
【図2】 本発明の効果説明図

【符号の説明】

- 1 シリコン基板
- 2 フィールド酸化膜
- 3 ゲート酸化膜
- 4 ゲート
- 5 注入用レジストマスク
- 6 チャネルイオン注入領域
- 7 LDD 形成用注入領域
- 8 サイドウォール

【図1】

本発明の実施の形態の説明図



【図2】

本発明の効果説明図

